

FIELD EFFECT TRANSISTOR AND MANUFACTURE THEREOF

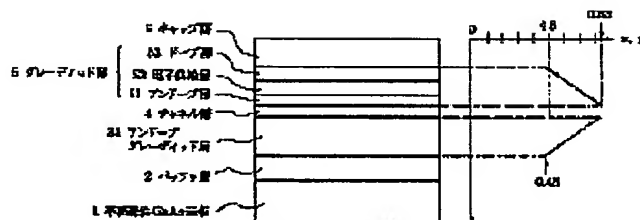
Patent number: JP9064062
Publication date: 1997-03-07
Inventor: UNOSAWA HIROKIYO
Applicant: NEC CORP
Classification:
- international: H01L21/338; H01L29/812; H01L21/20; H01L29/205
- european:
Application number: JP19950211839 19950821
Priority number(s):

Report a data error here

Abstract of JP9064062

PROBLEM TO BE SOLVED: To enhance the mobility of electrons in a channel layer by setting the In composition in the channel layer to a specific value.

SOLUTION: The In composition of a channel layer 4 is set to 0.2 to 0.5 of prior art of the value near 0.47 of the largest mobility of electron, and the mobility of the electron in the layer 4 is enhanced. That is, since an undoped $\text{Ga}_{0.5}\text{In}_{0.5}\text{As}$ is used for the layer 4, the mobility at the ambient temperature becomes higher value than prior art of $8000\text{cm}^2/\text{Vsec}$ or more. Since both the compositions of the boundaries between an undoped graded layer 31 and a graded layer 5 and the layer 4 are $\text{Ga}_{0.17}\text{In}_{0.83}\text{P}$, the layer 4 becomes the state that a band gap is sandwiched between the layers having larger than about 0.7V.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64062

(43) 公開日 平成9年(1997) 3月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338		7376-4M	H 0 1 L 29/80	B
29/812			21/20	
21/20			29/205	
29/205				

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-211839

(22) 出願日 平成7年(1995) 8月21日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 宇野沢 浩精

東京都港区芝五丁目7番1号 日本電気株式会社内

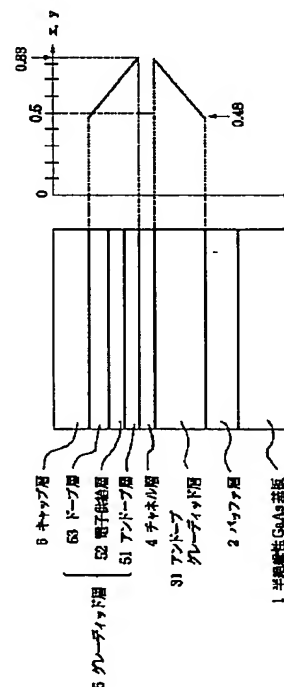
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 電子の移動度が低く、また、チャネル層内の電子の閉じ込め効果が悪く、シート電子濃度が低下してしまう。

【解決手段】 半絶縁性GaAs基板1上にバッファ層2が形成され、バッファ層2上にGa_{0.52}In_{0.48}PからIn組成を徐々に上げられGa_{0.17}In_{0.83}Pまで組成が変化する第1のグレーディッド層であるアンドープグレーディッド層31が形成され、アンドープグレーディッド層31上にGa_{0.5}In_{0.5}Asのチャネル層4が形成され、チャネル層4上にGa_{0.17}In_{0.83}PからIn組成を徐々に下げられGa_{0.52}In_{0.48}Pまで組成が変化する第2のグレーディッド層であるグレーディッド層5が厚形成され、グレーディッド層5上にキャップ層6が厚形成され、さらに、キャップ層6上にソース電極、ドレイン電極及びゲート電極が形成されることにより構成されている。



【特許請求の範囲】

【請求項1】 半絶縁性GaAs基板と、該半絶縁性GaAs基板上に形成されGaAsに格子整合する高抵抗の半導体結晶からなるバッファ層と、該バッファ層上に該バッファ層から離れるに従ってIn組成を徐々に上げて形成された第1のグレーディッド層と、該第1のグレーディッド層上に形成されたチャネル層と、該チャネル層上に該チャネル層から離れるに従ってIn組成を徐々に下げて形成された第2のグレーディッド層と、該第2のグレーディッド層上に形成されたGaAsからなるキャップ層と、該キャップ層上に形成されたソース、ドレイン及びゲートの各電極とを有してなる電界効果トランジスタにおいて、

前記チャネル層におけるIn組成は、0.2以上0.5以下であることを特徴とする電界効果トランジスタ。

【請求項2】 請求項1に記載の電界効果トランジスタにおいて、

前記第1のグレーディッド層及び前記第2のグレーディッド層の前記チャネル層との境界面におけるIn組成のそれぞれは、前記第1のグレーディッド層及び前記第2のグレーディッド層の前記チャネル層との境界面におけるバンドギャップが前記チャネル層におけるバンドギャップよりも大きくなるような値であることを特徴とする電界効果トランジスタ。

【請求項3】 請求項1または請求項2に記載の電界効果トランジスタにおいて、

前記第1のグレーディッド層及び前記第2のグレーディッド層のうち少なくとも一方は、n型のドーピングが施された電子供給層を有することを特徴とする電界効果トランジスタ。

【請求項4】 半絶縁性GaAs基板上にGaAsに格子整合する高抵抗の半導体結晶からなるバッファ層を形成し、

該バッファ層上に該バッファ層から離れるに従ってIn組成を徐々に上げた第1のグレーディッド層を形成し、該第1のグレーディッド層上にチャネル層を形成し、該チャネル層上に該チャネル層から離れるに従ってIn組成を徐々に下げた第2のグレーディッド層を形成し、該第2のグレーディッド層上にGaAsからなるキャップ層を形成し、

該キャップ層上にソース、ドレイン及びゲートの各電極を形成する電界効果トランジスタの製造方法において、前記各形成時における設定温度は、前記グレーディッド層におけるバンドギャップエネルギーが最小となる温度に対して $\pm 10^\circ\text{C}$ の範囲内であることを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、InGaAsをチャネル層とした電界効果トランジスタ(FET)に関

し、特に、高周波で動作する電界効果トランジスタとその製造方法に関する。

【0002】

【従来の技術】 図3は、従来の電界効果トランジスタの一構造例を示す断面図である。

【0003】 本従来例は図3に示すように、GaAs基板501上にノンドープGaAsのバッファ層502が5000Å厚形成され、バッファ層502上にGaAsからIn組成を徐々に上げられ最上面においてはIn組成が0.15となっているノンドープ $\text{Ga}_{1-y}\text{In}_y\text{As}$ のグレーディッド層503が50Å厚形成され、グレーディッド層503上にSiが均一にドーピングされたn型 $\text{Ga}_{1-y}\text{In}_y\text{As}$ ($y=0.15$, $n=4 \times 10^{18} \text{ cm}^{-3}$) からなるチャネル層504が50Å厚形成され、チャネル層504上にIn組成を0.15から徐々に下げられ最上面においてはGaAsとなっている $\text{Ga}_{1-y}\text{In}_y\text{As}$ からなるグレーディッド層505が50Å厚形成され、グレーディッド層505上にGaAsキャップ層506が400Å厚形成され、キャップ層506上にゲート電極507、ソース電極508及びドレイン電極509とがそれぞれ形成されることにより電界効果トランジスタが構成されている(特開平4-326734号公報参照)。

【0004】 上記のように構成された電界効果トランジスタにおいては、電子の存在する領域が、チャネル層504だけでなくグレーディッド層503、505に一部しみ出した状態で存在するので、電子は高い速度オーバーシュートを有し、低いソース抵抗、高いトランスコンダクタンスを得ることができる。

【0005】 また、電子供給層にGaInPを用いた従来例として、アイ・イー・イー・イー エレクトロニクス レタース、第14巻8号406頁1993年(IEEE Electron Device Letters, VOL14, NO. 8, p. p. 406-408, 1993)に開示されているように、GaAs基板上にアンドープGaAsバッファ層、アンドープ $\text{In}_{0.25}\text{Ga}_{0.75}\text{As}$ チャネル層がそれぞれ100Å厚、チャネル層上にn型 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 電子供給層($n=2 \times 10^{18} \text{ cm}^{-3}$)が250Å厚それぞれ積層され、その上にn-GaAsキャップ層($n=2 \times 10^{18} \text{ cm}^{-3}$)が積層された構造のものがある。

【0006】 上記のように構成された電界効果トランジスタにおいては、室温での移動度が $7000 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、シート電子濃度が $1.5 \times 10^{12} \text{ cm}^{-2}$ であり、FET特性としては 420 mS/mm のトランスコンダクタンスを有するものである。

【0007】

【発明が解決しようとする課題】 しかしながら、上述したような従来の電界効果トランジスタにおいては以下に記載するような問題点がある。

【0008】(1) 特開平4-326734号公報に記載されたものにおいて

電子の存在する領域がグレーディッド層に一部存在することにより電子が高い速度オーバーシュートを有するが、大半の電子がSiドーピングされたチャンネル層に存在すること、グレーディッド層に電子の一部が存在するような構成であるためチャンネル層の電子の閉じ込め効果が悪くなってしまうということ、及び $\text{Ga}_{1-y}\text{In}_y\text{As}$ 結晶における電子の移動度が最も大きくなる $y=0.47$ (In組成)の状態に対して $y=0.15$ の状態であること、からトランスコンダクタンスの向上等の特性改善が困難となってしまう。

【0009】(2) 電子供給層にInGaPが用いられたものにおいて

格子定数を変化させることができるInGaPを用いながらGaAsに格子整合させた組成を用いていることによりInGaAsチャンネル層のIn組成は0.25となっている。そのため、In組成がInGaAs結晶における電子の移動度が最も大きくなる0.47の状態に対して低くなっており、InGaAsの結晶が有する能力を十分引き出していない。

【0010】本発明は、上述したような従来の技術が有する問題点を鑑みてなされたものであって、高い移動度を有する半導体結晶により構成される電界効果トランジスタを提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために本発明は、半絶縁性GaAs基板と、該半絶縁性GaAs基板上に形成されGaAsに格子整合する高抵抗の半導体結晶からなるバッファ層と、該バッファ層上に該バッファ層から離れるに従ってIn組成を徐々に上げて形成された第1のグレーディッド層と、該第1のグレーディッド層上に形成されたチャンネル層と、該チャンネル層上に該チャンネル層から離れるに従ってIn組成を徐々に下げて形成された第2のグレーディッド層と、該第2のグレーディッド層上に形成されたGaAsからなるキャップ層と、該キャップ層上に形成されたソース、ドレイン及びゲートの各電極とを有してなる電界効果トランジスタにおいて、前記チャンネル層におけるIn組成は、0.2以上0.5以下であることを特徴とする。

【0012】また、前記第1のグレーディッド層及び前記第2のグレーディッド層の前記チャンネル層との境界面におけるIn組成のそれぞれは、前記第1のグレーディッド層及び前記第2のグレーディッド層の前記チャンネル層との境界面におけるバンドギャップが前記チャンネル層におけるバンドギャップよりも大きくなるような値であることを特徴とする。

【0013】また、前記第1のグレーディッド層及び前記第2のグレーディッド層のうち少なくとも一方は、n型のドーピングが施された電子供給層を有することを特

徴とする。

【0014】また、半絶縁性GaAs基板上にGaAsに格子整合する高抵抗の半導体結晶からなるバッファ層を形成し、該バッファ層上に該バッファ層から離れるに従ってIn組成を徐々に上げた第1のグレーディッド層を形成し、該第1のグレーディッド層上にチャンネル層を形成し、該チャンネル層上に該チャンネル層から離れるに従ってIn組成を徐々に下げた第2のグレーディッド層を形成し、該第2のグレーディッド層上にGaAsからなるキャップ層を形成し、該キャップ層上にソース、ドレイン及びゲートの各電極を形成する電界効果トランジスタの製造方法において、前記各形成時における設定温度は、前記グレーディッド層におけるバンドギャップエネルギーが最小となる温度に対して $\pm 10^\circ\text{C}$ の範囲内であることを特徴とする。

【0015】(作用) 上記のように構成された本発明では、チャンネル層におけるIn組成を、従来のものよりも高い0.2以上0.5以下としたので、最も大きな電子の移動度を示す値である0.47に近くなり、チャンネル層内の電子の移動度が高くなる。

【0016】また、グレーディッド層のチャンネル層との境界面におけるIn組成を、グレーディッド層のチャンネル層との境界面におけるバンドギャップがチャンネル層におけるバンドギャップよりも大きくなるような値としたことにより、チャンネル層内への電子の閉じ込め効果が高まり、シート電子濃度が増加する。

【0017】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0018】(第1の実施の形態) 図1は、本発明の電界効果トランジスタの第1の実施の形態を示す断面図である。

【0019】本形態は図1に示すように、有機金属気相成長法(以下、「MOVPE法」と称す)により半絶縁性GaAs(100)基板1上にアンドープGaAs(バックグラウンド濃度 $p \leq 2 \times 10^{-15} \text{ cm}^{-3}$)3000Å厚及びアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ (バックグラウンド濃度 $p \leq 3 \times 10^{-15} \text{ cm}^{-3}$)1000Å厚からなるバッファ層2が形成され、バッファ層2上にGaAsに格子整合するアンドープ $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ からIn組成を徐々に上げられ $\text{Ga}_{0.17}\text{In}_{0.83}\text{P}$ まで組成が変化する第1のグレーディッド層であるアンドープグレーディッド層31が500Å厚形成され、アンドープグレーディッド層31上にアンドープ $\text{Ga}_{0.5}\text{In}_{0.5}\text{As}$ のチャンネル層4が130Å厚形成され、チャンネル層4上に $\text{Ga}_{0.17}\text{In}_{0.83}\text{P}$ からIn組成を徐々に下げられ $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ まで組成が変化する第2のグレーディッド層であるグレーディッド層5が500Å厚形成され、グレーディッド層5上にn-GaAs(Siドーブ、 $n = 3 \times 10^{18} \text{ cm}^{-3}$)のキャップ層6が800Å

厚形成され、さらに、キャップ層6上にソース、ドレイン電極となるオーミック電極（不図示）が形成され、形成されたソース電極とドレイン電極間のキャップ層6の一部においてエッチングによるリセス形成が施され、ゲート電極（不図示）が形成されることにより構成されている。また、グレーディッド層5は、チャンネル層4上にアンドープ層51が20Å厚形成され、アンドープ層51上に $n=3 \times 10^{18} \text{ cm}^{-3}$ の電子供給層52が150Å形成され、電子供給層52上に $n=1 \times 10^{17} \text{ cm}^{-3}$ のSiドーピングが行われたドーブ層53が330Å厚形成されることにより構成されている。

【0020】ここで、上記構成においては、バッファ層2とアンドープグレーディッド層31との境界面及びドーブ層53とキャップ層6との境界面における格子不整合度がGaAsの格子定数に対して $\pm 0.2\%$ 以内の範囲に含まれるようになっている。

【0021】上記のように構成された電界効果トランジスタにおいては、チャンネル層4にアンドープ $\text{Ga}_{0.5}\text{In}_{0.5}\text{As}$ が用いられているため、室温での移動度が $8000 \text{ cm}^2/\text{V} \cdot \text{sec}$ 以上という従来よりも高い値となり、また、アンドープグレーディッド層31及びグレーディッド層5のチャンネル層4との境界面の組成が両方とも $\text{Ga}_{0.17}\text{In}_{0.83}\text{P}$ であるため、チャンネル層4はバンドギャップが約0.7eV大きい層に挟まれている状態となる。そのため、従来よりもバンドギャップ差が大きくなり、電子の閉じ込め効果が高くなってシート電子濃度が増加する。この結果、電界効果トランジスタとしては、大きなトランスコンダクタンス（gm）を有することとなる。

【0022】（第2の実施の形態）図2は、本発明の電界効果トランジスタの第2の実施の形態を示す断面図である。

【0023】本形態は図2に示すように、MOVPE法により半絶縁性GaAs（100）基板101上にアンドープGaAs（バックグラウンド濃度 $p \leq 2 \times 10^{-15} \text{ cm}^{-3}$ ）3000Å厚及びアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ （バックグラウンド濃度 $p \leq 3 \times 10^{-15} \text{ cm}^{-3}$ ）1000Å厚からなるバッファ層102が形成され、バッファ層2上にGaAsに格子整合するアンドープ $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ からIn組成を徐々に上げられ $\text{Ga}_{0.37}\text{In}_{0.63}\text{P}$ まで組成が変化する第1のグレーディッド層であるグレーディッド層103が400Å厚形成され、グレーディッド層103上にアンドープ $\text{Ga}_{0.65}\text{In}_{0.35}\text{As}$ のチャンネル層104が130Å厚形成され、チャンネル層104上に $\text{Ga}_{0.37}\text{In}_{0.63}\text{P}$ からIn組成を徐々に下げられ $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ まで組成が変化する第2のグレーディッド層であるグレーディッド層105が400Å厚形成され、グレーディッド層105上に $n\text{-GaAs}$ （Siドーブ、 $n=3 \times 10^{18} \text{ cm}^{-3}$ ）のキャップ層106が800Å厚形成され、さら

に、キャップ層106上にソース、ドレイン電極となるオーミック電極（不図示）が形成され、形成されたソース電極とドレイン電極間のキャップ層106の一部においてエッチングによるリセス形成が施され、ゲート電極（不図示）が形成されることにより構成されている。また、グレーディッド層103は、バッファ層102上にアンドープグレーディッド層131が340Å厚形成され、アンドープグレーディッド層131上に $n=3 \times 10^{18} \text{ cm}^{-3}$ の電子供給層132が40Å形成され、電子供給層132上にアンドープ層133が20Å厚形成されることにより構成されており、グレーディッド層105は、チャンネル層104上にアンドープ層151が20Å厚形成され、アンドープ層151上に $n=3 \times 10^{18} \text{ cm}^{-3}$ の電子供給層152が30Å形成され、電子供給層152上に $n=1 \times 10^{17} \text{ cm}^{-3}$ のSiドーピングが行われたドーブ層153が350Å厚形成されることにより構成されている。

【0024】ここで、上記構成においては、バッファ層102とアンドープグレーディッド層131との境界面及びドーブ層153とキャップ層106との境界面における格子不整合度がGaAsの格子定数に対して $\pm 0.2\%$ 以内の範囲に含まれるようになっている。

【0025】上記のように構成された電界効果トランジスタにおいては、グレーディッド層103及び105におけるIn組成の傾斜が第1の実施の形態において示したものと同様で、かつ、グレーディッド層103及び105のチャンネル層104との境界面におけるIn組成が、第1の実施の形態において示したものよりも少なくなっているため、グレーディッド層103及び105の厚さが、第1の実施の形態において示したものよりも薄くなり、チャンネル層104とキャップ層106上に形成されたゲート電極との距離が短くなっている。これは、チャンネル層104の両側に電子供給層132及び152が存在するため、グレーディッド層103及び105の厚さが第1の実施の形態に示したものと同じであると、ピンチオフ性が悪化してしまうためである。またこれにより、チャンネル層104のIn組成も格子歪と臨界膜厚の規制から小さくなる。

【0026】また、チャンネル層104の両側に電子供給層132及び152が形成されているので、第1の実施の形態において示したものよりも大きなシート電子濃度が得られ、さらに、チャンネル層104とグレーディッド層103及び105とのバンドギャップ差が0.7eV程度となることから電子の閉じ込めが十分に行われ、600mA/mm以上の大きな最大ドレイン電流を有する高出力型の電界効果トランジスタを得ることができる。

【0027】なお、上記の電界効果トランジスタの形成におけるMOVPE法による結晶成長を行う際の設定温度は、GaAsに格子整合する $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ のバンドギャップエネルギーの成長温度依存性が、V族/III

族比のもとで最小となる温度の $\pm 10^\circ\text{C}$ 以内の範囲とされる。

【0028】また、グレーディッド層103及び105の形成においては、以下に示すような成長条件確認が行われる。

【0029】まず、GaAs基板上における $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ 結晶の成長から成長速度が求められ、所望の成長速度になるようにIII族供給量が調整される。

【0030】次に、GaInP結晶の成長が所望の成長速度になるように調整されたIn供給量におけるInP基板上でのInP結晶の成長から成長速度が求められる。

【0031】上述した2つの条件からグレーディッド層成長時の原料供給の割合を決めることができる。

【0032】この際、グレーディッド層の組成が直線的に変化するようにIII族原料の流量が決められるとともに、グレーディッド層成長中のV族/III族比が一定に保たれるようにV族の流量が設定される。

【0033】

【発明の効果】本発明は、以上説明したように構成されているので以下に記載するような効果を奏する。

【0034】請求項1に記載のものにおいては、チャンネル層におけるIn組成を0.2以上0.5以下としたため、チャンネル層におけるIn組成が従来のものよりも高くなり、チャンネル層内における電子の移動度を高めることができる。

【0035】請求項2に記載のものにおいては、第1のグレーディッド層及び第2のグレーディッド層のチャネ

ル層との境界面におけるIn組成のそれぞれを、第1のグレーディッド層及び第2のグレーディッド層のチャンネル層との境界面におけるバンドギャップがチャンネル層におけるバンドギャップよりも大きくなるような値としたため、チャンネル層内への電子の閉じ込め効果が高まり、シート電子濃度を増加させることができる。

【0036】請求項4に記載のものにおいては、形成時における設定温度を、グレーディッド層におけるバンドギャップエネルギーが最小となる温度に対して $\pm 10^\circ\text{C}$ の範囲内としたため、良好な素子を得ることができる。

【図面の簡単な説明】

【図1】本発明の電界効果トランジスタの第1の実施の形態を示す断面図である。

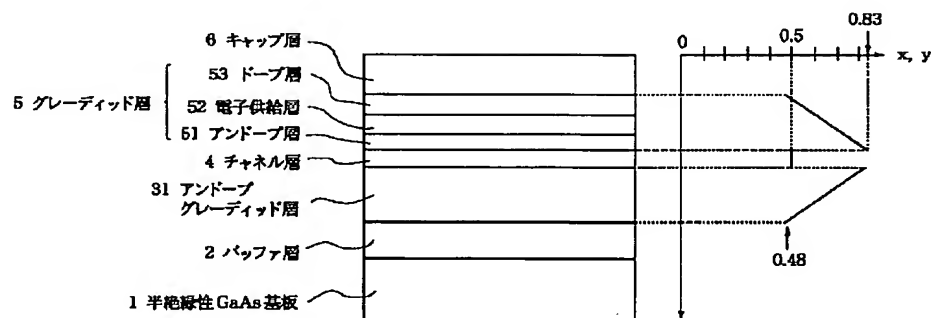
【図2】本発明の電界効果トランジスタの第2の実施の形態を示す断面図である。

【図3】従来の電界効果トランジスタの一構造例を示す断面図である。

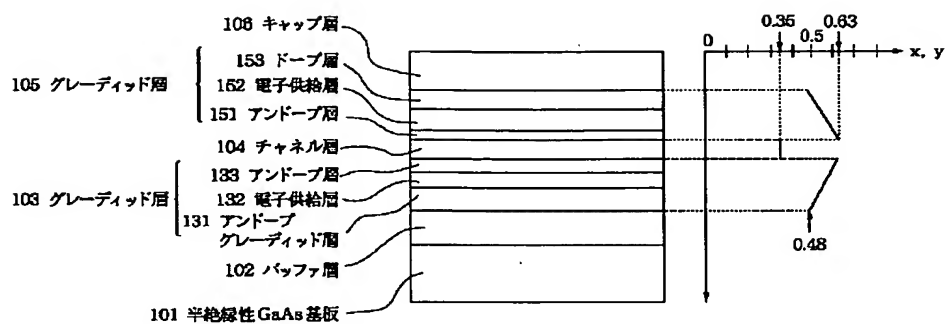
【符号の説明】

- 1, 101 半絶縁性GaAs基板
- 2, 102 バッファ層
- 5, 103, 105 グレーディッド層
- 4, 104 チャンネル層
- 6, 106 キャップ層
- 31, 131 アンドープグレーディッド層
- 51, 133, 151 アンドープ層
- 52, 132, 152 電子供給層
- 53, 153 ドープ層

【図1】



【図2】



【図3】

